

Electronique numérique
- Travaux Dirigés -
Sujet n°3 : "Circuits logiques combinatoires"

Exercice 1 : Réalisation de fonctions avec des portes NAND

Soit la fonction logique définie par la table de vérité suivante :

a	b	F(a,b)
0	0	1
0	1	0
1	0	1
1	1	1

Donner le schéma de cette fonction en utilisant uniquement des portes NON-ET.

Exercice 2 : Réalisation de fonctions logiques à l'aide de portes NAND et NOR

On considère la fonction logique suivante :

$$f = XY + XZ + Y\bar{Z}$$

- 1) Déterminer sa forme minimale disjonctive et conjonctive.
- 2) Réaliser la fonction simplifiée à l'aide d'opérateurs NAND.
- 3) En déduire le circuit à base d'opérateurs NOR.
- 4) Retrouver ce résultat à partir de l'expression de la fonction.

Exercice 3 : Réalisation de circuits à l'aide de portes NAND à 2 entrées

- 1) Réaliser une porte NAND à 3 entrées avec des portes NAND à 2 entrées.
- 2) Réaliser la fonction suivante en utilisant uniquement des portes NAND à 2 entrées :

$$y = x_1 x_0 + x_3 x_2 x_1$$

Exercice 4 : Réalisation d'un générateur de bit de parité à l'aide d'un multiplexeur

Dans les systèmes logiques, les opérations de transfert sont très courantes. Au cours de ces transferts, certains bits peuvent être erronés (parasites, défaillances d'un circuit, etc). Divers moyens peuvent être mis en œuvre pour vérifier la fiabilité de ces transferts. Un générateur de parité est un exemple de solution pour détecter certaines erreurs de transmission. Le système consiste, par exemple pour 4 bits de données, à ajouter un cinquième bit dont la valeur est 0 si le nombre de 1 transférés est impair, et 1 si ce nombre est pair. Le récepteur peut ainsi vérifier que la parité de chaque donnée reçue est correcte.

- 1) Donner la table de vérité de ce générateur de parité.
- 2) Réaliser cette fonction logique au moyen d'un multiplexeur à trois entrées d'adresse.